

Kostensparen durch Constraint Management

Zentral im Flow mit Schaltplan, Layout und Simulation integriert

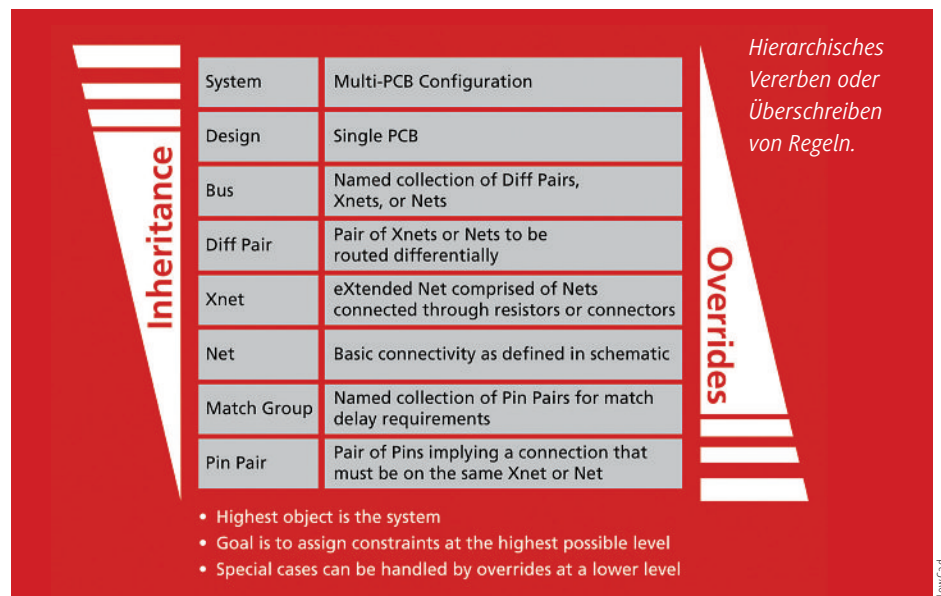
Bricht man das Design einer Leiterplatte auf seine beiden grundsätzlichen Funktionen herunter, dann geht es einerseits um das Erfassen und Dokumentieren der elektrischen Funktion über ein Schema. Andererseits ist im Layout alles so zu verdrahten, dass sich alle Vorgaben einhalten lassen und das Design produziert werden kann. Durch fortschreitende Miniaturisierung in der Elektronik und eine höhere Funktionsdichte sowie grössere Anforderungen an die Zuverlässigkeit einer Leiterplatte steigt die Anzahl der Designregeln exponentiell an. Gleichzeitig verkürzen sich die Entwicklungszeiten. So hat die effektive Verwaltung und Einhaltung aller Designregeln heute eine Schlüsselposition in der Leiterplattenentwicklung inne.

Als Cadence den Constraint Manager im Jahr 2000 als erste EDA-Firma einführte, standen die elektrischen Regeln im Vordergrund. Vor der Einführung gab es durch die unterschiedliche und doppeldeutige Verwendung von Begriffen und Masseinheiten durch Entwickler, Einkäufer, Layouter und durch die externe Fertigung oftmals Missverständnisse und damit fehlerhafte Designs. Durch die zentrale Verwaltung der Regeln wurden die Begriffe vereinheitlicht und es gab nur noch einen Ort für die Regeln (Single Source of Truth). Somit wurde die Verwendung von veralteten Regeln und Anweisungen ausgeschlossen und es gab keine Verwirrungen aufgrund unterschiedlicher Regelbezeichnungen mehr. Auch die Inkonsistenzen durch Änderungen zwischen dem Stromlaufplan, PCB Layout und anderen am PCB Flow beteiligten Werkzeugen ist damit ausgeschlossen. Alle Teammitglieder verwenden immer die gleichen Werte für dasselbe Objekt im Stromlaufplan und PCB Layout.

Anwendung hierarchischer Regelsätze

Aufgrund der vielen Vorteile ist Constraint Management heute ein Muss für professionelle PCB Design Software. Cadence hat diese Technologie seit der Einführung vor circa 20 Jahren Schritt für Schritt verbessert und perfektioniert. Im gleichen Masse, wie die Zahl der elektrischen Regeln stieg, erhöhte sich auch die Zahl der physikalischen Regeln. Mittlerweile werden alle Regeln im Constraint Manager verwaltet.

Für eine normale Leiterplatte mit einer CPU, Speicher und Schnittstellen kann die Anzahl der zu beachtenden Regeln schnell über 10'000 ansteigen. Im ersten Moment scheint diese Zahl der Regeln eher unübersichtlich. Um



diese Zahl zu verwalten, werden hierarchische Regelsätze verwendet. So lassen sich in einem Regelsatz beispielsweise alle Parameter eines differentiellen Signals beschreiben. Anschliessend wird der Regelsatz auf alle Leitungen eines Datenbusses angewendet. So wurden in Sekunden alle Regeln an alle Netze zugewiesen. Durch die Hierarchie wird die Regel vom Datenbus auf alle untergeordneten Netze vererbt.

Regeln werden an der Spitze der Hierarchie einmal definiert

In gleicher Weise kann der Mindestabstand zwischen Leitungen und anderen Kupferelementen von 100 µm einmal für das ganze Design definiert werden und alle Busse, Netze und erweiterte Netze (Xnet) erben den gleichen Wert. Ist für die Stromversorgung aber

ein grösserer Abstand erforderlich, so kann der vererbte Wert an den betroffenen Leitungen gezielt überschrieben werden. Für mehr Übersichtlichkeit werden die Werte überschriebener Standardregeln in blau gekennzeichnet.

Regeln werden an der Spitze der Hierarchie einmal definiert und an alle darunterliegenden Elemente vererbt. Ebenso werden Regeländerungen von unten nach oben konsistent, schnell, automatisch und somit fehlerfrei überschrieben.

Internationale und interdisziplinäre Teams können sich die Werte in der bevorzugten Ansicht darstellen lassen. Die Leitungslänge kann zwischen mil und mm umgeschaltet werden oder der Entwickler kann die Signallaufzeit über Innen- und Aussenlagen in

FlowCAD_Board_1			FlowCAD_Board_2		
Objects		Line To	Line Width		Vias
Type	S	Line	Min	Max	
		mm			
Dsn		FlowCAD_Board_1	0.0000		
NCIs		DESIGN (510)	0.1000		
Net		230V_PE	6.0000		
Net		230V_IN	6.0000		
Net		230V_GND	6.0000		
Net		12V	0.1000		
Net		5V	0.1000		

Objects		Line Width		Vias	
Type	S	mm	mm		
FLTR					
Net		LVDS_CLKN1	0.1000	5.0000	
Net		LVDS_CLKP1	0.1000	5.0000	
Net		MOTOR_U-PHASE	4.0000	5.0000	VIA24C08
Net		MOTOR_V-PHASE	4.0000	5.0000	VIA24C08
Net		MOTOR_W-PHASE	4.0000	5.0000	VIA24C08
Net		N00305	0.1000	5.0000	
Net		N00359	0.1000	5.0000	

Übersicht mit Beispiel-Regelsätzen inklusive selbstsprechenden Namen.

Nanosekunden sehen. Die eigentliche Regel bleibt unverändert. Die Umrechnung findet im Constraint Manager mit Hilfe eines Field Solvers im Hintergrund statt und in der Ansicht kann zwischen Zeit und Länge gewechselt werden.

Im Desingreview schnell abgleichen

Auch komplexe Regeln wie die Gleichlänge von Signal- oder Adressleitungen in einem Bus pro Bytegruppe und den Bytegruppen untereinander werden zum Beispiel einmal für die PCI Express Schnittstelle definiert und als Regelsatz im Design zugewiesen. Die Regel kann automatisch mit den Pin-Delays der ICs verrechnet werden und der Layouter kann sein gesamtes Timing-Budget sehen. Die Vorgaben lassen sich auch zum automatisierten Längen- oder Phasenabgleich mit AiDT (Delay Tune) und AiPT (Phase Tune) nutzen.

Im Designreview kann schnell abgeglichen werden, ob alle Regeln aktuell und auch allen erforderlichen Netzen zugewiesen sind. Da die Regelsätze selbsterklärende Namen haben, wie beispielsweise «230V-Netz», «10A, max +30 °C», «PCI-EXP-IMP», lassen sich sehr schnell hunderte Regeln mit einem Blick überprüfen.

Wiederverwendung von IP (Geistiges Eigentum)

Regelsätze lassen sich in der Bibliothek ablegen und bei anderen Designs wieder anwenden. Die Regelsätze können flexibel gehalten werden, so dass sie sich auch bei unterschied-

lichen Lagenaufbauten anwenden lassen. Das Wiederverwenden von bewährten Regelsätzen hat den grossen Vorteil, dass Regeln nicht immer neu definiert werden müssen und so mit derselben Qualität in mehreren Designs verwendet werden können. Das spart Zeit und vermeidet Fehler gegenüber einer mehrfachen manuellen Erstellung der Regeln.

Bei den Design for Manufacturing (DfM) Regeln können unterschiedliche Regelsätze – je nach Fertiger, Bestücker oder Testverfahren – einem Design zugewiesen werden. Wenn ein Design für zwei Bestücker keine Fehler aufweist, lassen sich beide Bestücker als Second Source verwenden.

Einmal entwickelte Constraint Sets können auch von unerfahrenen oder neuen Teammitgliedern eingesetzt werden. Dadurch profitieren sie und das Unternehmen von dem Wissen, das in den Constraint Sets gespeichert ist. Die Entwicklung von Constraint Sets für Protokolle wie DDR X, PCI oder anderen Anwendungen kann zu einer Know-how-Datenbasis ausgebaut werden. Dadurch wird die IP (Geistiges Eigentum) eines Unternehmens gesichert.

Die Constraint-Sets lassen sich wie ein Baukasten-System vorstellen, aus dem der Designer die für sein Design relevanten vordefinierten und vorqualifizierten Regelsätze zusammenstellen kann.

Qualität in der Fertigung

Fertigungsprozesse lassen sich durch Designregeln beschreiben. Je mehr Regeln definiert und eingehalten wurden, desto besser

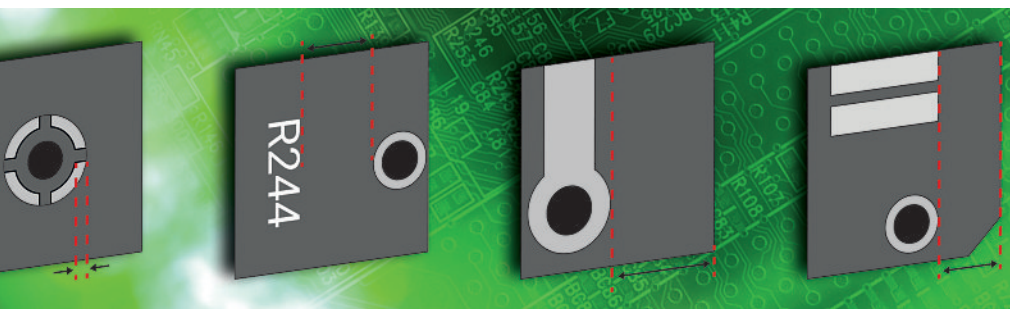
passen die Designdaten zur Fertigung. Anwendbare Regelsätze und DRCs in Echtzeit im Layout stellen für den PCB Designer keinen zusätzlichen Zeitaufwand dar.

Neben den unternehmensspezifischen Fertigungsregeln können DfM, DfT sowie DfF-Regeln auch über das Portal (www.flowcad.ch/dfm) online beim Hersteller angefragt und die Regelsätze in OrCAD oder Allegro importiert werden. In OrCAD werden circa 200 unterschiedliche DfX-Regeln verwendet. Höhere Allegro-Ausbaustufen bieten einen noch detaillierteren Regelsatz mit rund 2500 Regeln. Die Regeln prüfen die speziellen Vorgaben des Leiterplattenherstellers und berücksichtigen hierbei unter anderem Maschineneigenschaften, wie Abstände zu Halterungen oder Vorgaben für Bestückungsautomaten oder Toleranzen von Bohrdurchmessern. Je nach Fertigungslinie bei einem Hersteller werden gegebenenfalls unterschiedliche Maschinen verwendet, und es müssen beispielsweise unterschiedliche Abstände eingehalten werden.

Fazit

Das Ziel einer effizienten Entwicklung lautet «First Time Right», also von Beginn weg Fehler zu vermeiden – bevor sie überhaupt entstehen. Die zusätzlichen Kosten, die ein spät im CAD Flow geprüfetes und korrigiertes Problem verursacht, lassen sich ohne Aufwand einsparen. Es gibt keinen Zeitverlust durch redundante sowie eventuell fehlerhafte Entwicklung und die Eingabe von Regeln als Properties.

Die Anzahl der Regeln und die anschließende regelkonforme Umsetzung steigert die Designqualität und vermeidet zusätzliche Kosten sowie Zeitverlust durch Redesigns, Prototypen und Tests. <<



Unterschiedliche Regeln für die Produktionsmaschinen.

Infoservice

FlowCAD Schweiz AG
 Hintermättlistrasse 1, 5506 Mägenwil
 Tel. 056 485 91 91, Fax 056 485 91 95
info@flowcad.ch, www.flowcad.ch